**Архітектура обчислювальних систем та схемотехніка**

**Лабораторна робота №5**

Виконав:

Студент групи ПМО-11

Король Д.І.

Прийняв:

Рикалюк Р. Є

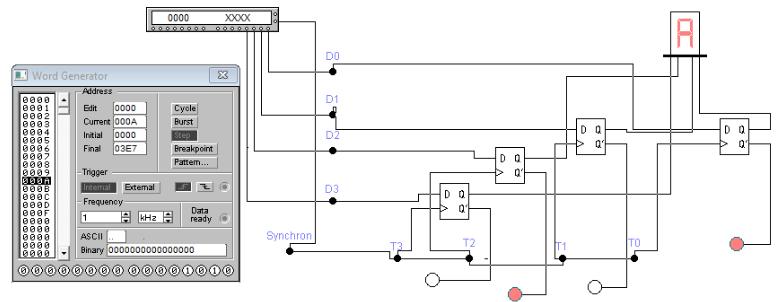
**Тема**: Побудова і дослідження регістрових схем

**Мета роботи:**З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Результат роботи:**

Попередньо ознайомившись з можливостями Electronics Workbench (EWB) та теоретичними відомостями до Лабораторної роботи №5, я побудував чотирирозрядні схеми паралельної та послідовної дії

**Чотирирозряднй регістр паралельної дії:**



Для цього використано

● Decoded Seven-Segment (1шт)

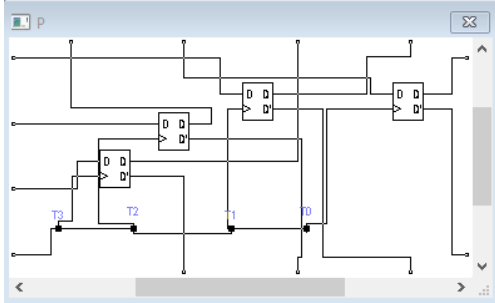
● D Flip-Flop(4шт)

● Connector(9шт)

● Indicator(4шт)

● Word Generator(1шт)

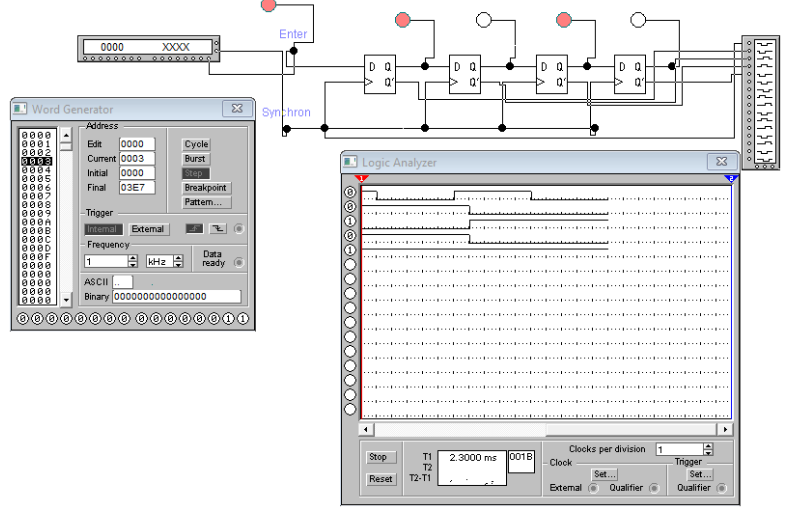
**Макроелемент (Р-регістр)**



За допомогою клавіші STEP генератора слів покроково перебирав всі комбінації вхідних сигналів і отримав таку таблицю істинності:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D0** | **D1** | **D2** | **D3** | **T3** | **T2** | **T1** | **T0** | **Result** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | **0** |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | **1** |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | **2** |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | **3** |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | **4** |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | **5** |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | **6** |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | **7** |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | **8** |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | **9** |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | **A** |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | **B** |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | **C** |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | **D** |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | **E** |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | **F** |

**Послідовний регістр:**



Для цього використано

● Logic Analyzer(1шт)

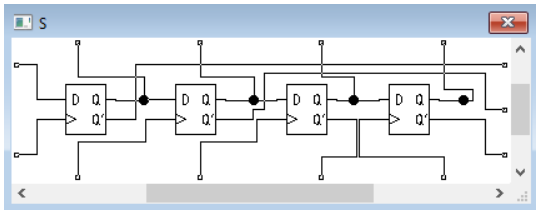
● D Flip-Flop(4шт)

● Connector(10шт)

● Indicator(5шт)

● Word Generator(1шт)

**Макроелемент(S-регістр):**



За допомогою клавіші STEP генератора слів покроково перебирав всі комбінації вхідних сигналів і отримав таку таблицю істинності:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Enter** | **Q0** | **Q1** | **Q2** | **Q3** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |

**Висновок:**Виконуючи цю лабораторну роботу, я ознайомився з можливостями програмного симулятора Electronics Workbench для  побудови логічних схем на базі тригерних елементів пам’яті. Побудував їхні макроелементи і склав таблицю істинності.